

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-007293

(43)Date of publication of application : 12.01.2001

(51)Int.Cl.

H01L 27/04
H01L 21/822
G06F 1/10
H01L 21/82
// G06F 17/50

(21)Application number : 11-179685 (71)Applicant : MITSUBISHI ELECTRIC
CORP

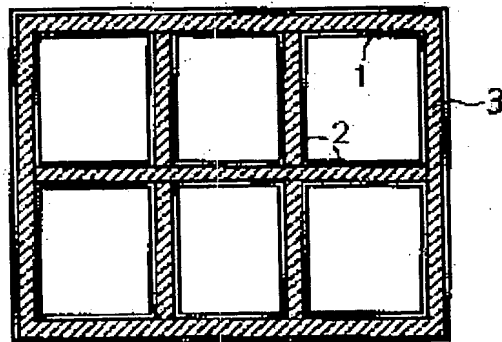
(22)Date of filing : 25.06.1999 (72)Inventor : TAKADA HIDEHIRO

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To enable an inner circuit to be easily laid out decreasing clock skew without increasing it in area and a clock drive circuit to be efficiently arranged.

SOLUTION: A clock driver forming region 3 is arranged so as to form clock drivers overlapping with a ring wiring 1 and a mesh wiring 2 arranged extending over a semiconductor substrate region in a plane view. An exclusive excess region is not required to be provided for a clock drive forming region, clock drivers are dispersedly arranged in a circuit device and regulated in drive capacity, by which clock skew can be lessened, and electromagnetic noises can be absorbed by upper wirings when the clock drivers are in operation.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's
decision of rejection]

[Kind of final disposal of application
other than the examiner's decision of
rejection or application converted]

registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P) (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-7293

(P2001-7293A)

(43) 公開日 平成13年1月12日 (2001.1.12)

(5) Int.Cl.	発明記号	FI	チコード (参考)
H01L 27/04		H01L 27/04	D 5B046
G06F 1/04		G06F 1/04	330A 5B079
G06F 1/10		H01L 21/82	W 5F038
H01L 21/82		27/04	F 5F064
// G06F 17/50			B

審査請求 未請求 請求項の数13 O L (全19頁) 最終頁に続く

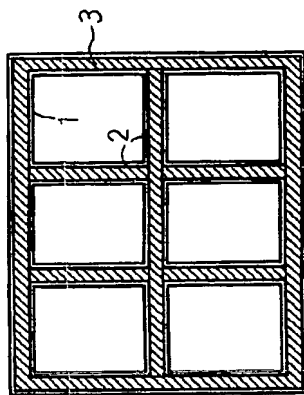
(21) 出願番号	特願平11-17985	(71) 出願人	00006013 三菱電機株式会社
(22) 出願日	平成11年6月25日 (1999.6.25)		東京都千代田区丸の内二丁目2番3号
		(72) 発明者	高田 英希 東京都千代田区丸の内二丁目2番3号 三 菱電機株式会社内
		(70) 代理人	10006476 弁理士 深見 久郎 (外3名)

(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】

【課題】 面積増加を伴うことなく内部回路のレイアウトの容易化を図りかつクロックスキューを低減するとともに、効率的にクロックドライバ回路を配置する。

【解決手段】 半導体集積回路上にわたって延在して配置されるリング配線 (1) およびメッシュ配線 (2) と平面図的に見て重なり合うようにクロックドライバを形成するクロックドライバ形成領域 (3) を配置する。クロックドライバ形成領域のために専用の余分の領域を設ける必要がなく、またクロックドライバが回路装置内に分散して配置されるため、この駆動能力調整によりクロックスキューを低減でき、またクロックドライバ動作時において、電磁ノイズを上側の配線により吸収することができ。



【特許請求の範囲】

【請求項1】 矩形状半導体基板領域周囲に沿ってルーブリックに配列されて所定の電圧および/または信号を伝達するためのリング配線、

前記リング配線により囲まれる領域上にわたって延在してに配線されかつ前記リング配線と接続するメッシュ配線、および前記リング配線および前記メッシュ配線とクロックドライバ形成領域を備え、前記クロックドライバ形成領域に形成されるクロックドライバは前記半導体基板領域に形成されるクロックドライバの動作タイミングを与えるクロック信号を伝達する、半導体集積回路装置、

【請求項2】 前記リング配線および前記メッシュ配線は、電圧電圧および接地電圧をそれぞれ伝達する電源線および接地線を含み、前記電源線および接地線は互いに平行に配線され、前記クロックドライバ形成領域に形成されるクロックドライバは平面図的に見て実質的に覆われ、および接地線とこれらの間の領域を除いて実質的に覆われるように配置される、請求項1記載の半導体集積回路装置、

【請求項3】 前記クロックドライバの出力信号を伝達するクロック信号線は、前記電源線および前記接地線の間に配置される、請求項2記載の半導体集積回路装置、

【請求項4】 前記クロックドライバ形成領域は、前記リング配線および前記メッシュ配線と交差する方向に延在する配線を配置するための配線通過領域によりサブクロックドライバ形成領域に分割される、請求項1記載の半導体集積回路装置、

【請求項5】 前記クロックドライバ形成領域に形成されるクロックドライバは、入力段および出力段の2段のインバータを備え、

前記入力段のインバータは、前記出力段のインバータを間に挟むように配置されかつ並列に動作する第1および第2のインバータ回路を含む、請求項1記載の半導体集積回路装置、

【請求項6】 前記クロックドライバ形成領域に形成されるクロックドライバは、入力段および出力段の2段のインバータを含み、

前記出力段のインバータは、前記入力段のインバータを間に挟むように配置されかつ互いに並列に動作する第1および第2のインバータ回路を含む、請求項1記載の半導体集積回路装置、

【請求項7】 前記クロックドライバ形成領域に配置されるクロックドライバは、コントロールゲートを有する絶縁ゲート型電界効果トランジスタを備え、前記コントロールゲートは平面レイアウトにおいて凹凸形状に配線される部分を有する、請求項1記載の半導体集積回路装置、

【請求項8】 前記絶縁ゲート型電界効果トランジスタは前記クロックドライバの出力ノードに接続されるドレ

イン領域を有し、前記ドレイン領域と前記出力ノードを構成する配線との間の電気的コンタクトをとるためのコンタクト孔と前記コントロールゲートとの間隔は最小設計寸法に設定される、請求項7記載の半導体集積回路装置、

【請求項9】 各前記サブクロックドライバ領域に同一レイアウトでクロックドライバが形成され、非使用クロックドライバは、入力ノードが前記リング配線およびメッシュ配線に含まれる固定電圧伝達線に結合され、かつ出力ノードがオープン状態に設定される、請求項4記載の半導体集積回路装置、

【請求項10】 前記非使用のクロックドライバと使用されるクロックドライバとは、入力ノードおよび出力ノードのスルーホール間の平面図的に見た位置が異なる、請求項9記載の半導体集積回路装置、

【請求項11】 前記クロックドライバ形成領域において形成されるクロックドライバは、Pチャネル絶縁ゲート型電界効果トランジスタとNチャネル絶縁ゲート型電界効果トランジスタとを含む、

前記半導体集積回路装置は、さらに、前記Pチャネル絶縁ゲート型電界効果トランジスタ形成領域と前記Nチャネル絶縁ゲート型電界効果トランジスタ形成領域との間に配置され、前記リング配線およびメッシュ配線に含まれる第1の固定電圧を伝達する第1の固定電圧伝達線と結合されるコントロールゲートと前記リング配線およびメッシュ配線に含まれる第2の固定電圧を伝達する第2の固定電圧伝達線に結合されるソースおよびドレイン領域を有する絶縁ゲート型電界効果トランジスタで構成されるキャパシタを備える、請求項1記載の半導体集積回路装置、

【請求項12】 前記クロックドライバ形成領域に形成されるクロックドライバは、ソースおよびバックゲートが前記リング配線およびメッシュ配線に含まれる固定電圧を伝達する固定電圧伝達線に結合される絶縁ゲート型電界効果トランジスタを含む、

前記半導体集積回路装置は、さらに、前記絶縁ゲート型電界効果トランジスタのバックゲート形成領域を制御するように形成されかつ前記固定電圧を受けるゲートリングをさらに含む、請求項1記載の半導体集積回路装置、

【請求項13】 各前記サブクロックドライバ領域には同一レイアウトのドライバが形成され、

前記複数のサブクロックドライバ領域は、前記クロック信号をドライバするクロックドライバが配置されるクロックドライバ領域と前記クロック信号とは異なる信号をドライバするドライバが配置されるドライバ領域とを含む、請求項4記載の半導体集積回路装置、

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は半導体集積回路装置に関し、特に、クロックメッシュおよびフィッシュボ

ック信号を伝送するクロックドライバC0-C6を含む。

【0006】この高速LS1においては、PLL110からのクロック信号は一旦中央部のリビータR0に転送され、次いで、この中央部のリビータR0から上下に設けられたリビータR1およびR4へクロック信号が転送される。これらのリビータR1およびR4から双方方向にクロック信号が伝送される。すなわちリビータR1からその両側に設けられたリビータR2およびR3へクロック信号が転送される。またリビータR4からリビータR7およびこのリビータR7と反対方向に設けられたリビータR5およびR6へクロック信号が転送される。リビータR7は、また、クロックドライバC4およびC6へクロック信号を転送する。

【0007】一旦中央部へクロック信号を転送した後、四方にクロック信号をリビータを介して分配することに、このクロック信号の伝送距離をほぼ同じとして、クロックスキューを低減することを図る。

【0008】この図17に示す高速LS1のクロックドライバの配置においては、リビータR0～R7の駆動能力および位置が、PLL110からのクロック信号の遅延が最小となるように選択されており、これにより、立上りおよび立下り方向に急峻な波形を有するクロック信号が伝送される。リビータR0～R7およびクロックドライバC0～C6をチップ上に分散して配置することにより、高速クロック信号をその波形をなまらせることなくまたスキューを生じさせることなく転送することを図る。

【0009】図18は、従来の高速LS1の他の構成を概略的に示す図である。図18において、高速LS1150は、3つの分散して配置される演算ブロック150a、150bおよび150cと、演算ブロック150aおよび150bの間に配置されるクロックドライバ151と、演算ブロック150aおよび150bと演算ブロック150cの間に配置されるクロックドライバ152を含む。これらのクロックドライバ151および152はT字形状に配置される。高速LS1150の演算ブロック150a～150cは、たとえば浮動小数点演算ユニット(FPU)であり、演算ブロック150a、150bおよび150cはそれぞれ浮動小数点演算処理を実行する。

【0010】クロックドライバ151および152が形成される領域には、ゲートアレイが配置されており、マスク工程で、これらのクロックドライバ151および152における基本トランジスタの配置が形成される。スライス工程におけるアルミニウム配線により、これらのクロックドライバ151および152の駆動能力の調整を行なう。これにより、演算ブロック150a～150cにおける構成に応じて、クロックドライバ151および152の駆動能力を調整して、最適化されたクロック

ーン等のクロックネットワークにクロック信号を供給するためのクロックドライバを備える半導体集積回路装置に関する。より特定的には、この発明は半導体集積回路装置におけるクロックドライバのレイアウトに関する。

【0002】
【従来の技術】LS1においてクロックメッシュおよびフィッシュボーン等と呼ばれるクロックネットワークにクロック信号を供給するためのクロックドライバは、これらのクロックネットワークと大きく及び、その負荷容量が数pFと大きく、大きな駆動能力の高速化に要求される。また、LS1(大規模集積回路)の高速化により、このLS1の動作速度を決定するクロック周波数も数MHzからGHzオーダーへと高速化している。この極めて短いクロックサイクルに従って正確に動作するために、クロック信号のなまりおよびスキューに対しても厳しい仕様(立下り/立下り時間T_{fall}/T_{rise}およびスキュー値=100psオーダー)が求められている。これらのクロック信号に対する要求を満たすために、従来から、クロック分配に対して種々の工夫がなされている。

【0003】図17は、従来の高速LS1の全体の構成を概略的に示す図である。この図17に示す高速LS1は、4つのメモリブロックMB0～MB3を含むメモリ100と、この命令メモリ100のメモリブロックMB0およびMB1から読出された命令をブリデコードするためのブリデコード101aと、命令メモリ100のメモリブロックMB2およびMB3から読出された命令をブリデコードするためのブリデコード101bおよびブリデコード101cと、デコードされた命令をデコードするデコード102と、このデコード102によりデコードされた命令に従って処理を実行するためのデータバス109と、実行ユニットの1つであるメモリユニット(MU)の動作を制御するためのMUコントロール回路103と、命令を実行する命令ユニット(U)の動作を制御するためのIUコントロール回路104と、データを格納するデータメモリ107と、与えられたデータの可変長符号化および可変長符号化を行なう可変長符号/復号回路(VLC/VLD)108と、与えられたデータの巡回冗長符号化による誤り検出/訂正動作を行なう巡回冗長符号化ブロック(CLC)106と、外部のメモリとのデータの授受および外部装置との信号の入出力を行なうための周辺インタフェース回路105を含む。

【0004】メモリユニットMUは、処理部と周辺回路ブロック105との間のデータの転送を制御する。

【0005】この高速LS1は、さらに、クロック信号を発生する位相同期回路(PLL)110と、PLL110からのクロック信号を転送するリビータR0～R7と、リビータR0～R7を介して転送されるクロック信号を受けて出力ノードを高速でドライブして高速でクロ

成領域に形成されるクロックドライバは、半導体集積領域に形成される回路の動作タイミングを与えるクロック信号を伝送する。

【0019】請求項2に係る半導体集積回路装置は、請求項1のリング配線およびメッシュ配線が電源直上および接地直上をそれぞれ伝達する伝導線および接地線を含む。これらの電源線および接地線は互いに平行に配設される。クロックドライバは形成領域に形成されるクロックドライバは、平面図的に見てこれらの伝導線および接地線により、これらの間の領域を除いて実質的に覆われるように配置される。

【0020】請求項3に係る半導体集積回路装置は、請求項2の装置において、クロックドライバの出力信号を伝達するクロック信号線が、電源線および接地線の間に配置される。

【0021】請求項4に係る半導体集積回路装置は、請求項1の配線通過領域により複数のサブクロックドライバ形成領域に分割される。

【0022】請求項5に係る半導体集積回路装置は、請求項1のクロックドライバ形成領域に形成されるクロックドライバが、入力段および出力段の2段のインバータを備える。入力段のインバータは出力段のインバータ間に挟むように配置されかつ並列に動作する第1および第2のインバータ回路を含む。

【0023】請求項6に係る半導体集積回路装置は、請求項1のクロックドライバ形成領域に形成されるクロックドライバが、入力段および出力段の2段のインバータを含む。出力段のインバータは、入力段のインバータを含むように配置されかつ互いに並列に動作する第1および第2のインバータ回路を含む。

【0024】請求項7に係る半導体集積回路装置は、請求項1のクロックドライバ形成領域に配置されるクロックドライバは、コントロールゲートを有する絶縁ゲート型電界効果トランジスタを備える。このコントロールゲートは平面レイアウトにおいて即座に配設される部分を含む。

【0025】請求項8に係る半導体集積回路装置は、請求項7の絶縁ゲート型電界効果トランジスタが出力ノードに接続されるドレイン領域をさらに有する。このドレイン領域と出力ノードを構成する配線との間の電気的コンタクトをとるためのコンタクト孔とコントロールゲート間隔は、最小設計寸法に設定される。

【0026】請求項9に係る半導体集積回路装置は、請求項4のサブクロックドライバ領域各々には、同一レイアウトでクロックドライバが形成される。非使用領域のクロックドライバがリング配線およびメッシュ配線に含まれる固定電圧伝導線に結合され、かつ出力ノードがオープン状態に設定される。

【0027】請求項10に係る半導体集積回路装置は、請求項9の装置において非使用のクロックドライバと使

(6)

クロックドライバサブブロック4に分割することにより、このクロックドライバサブブロック4内に形成されるドライバ回路の段数を低減して、その起延時間を短縮し、応じてクロックドライバの構成要素を相互

【0042】また、クロックドライバの構成要素を相互接続する配線と内部回路または他回路との接続を行なうための配線が類似した場合、このクロックドライバの動作によるノイズが他回路への配線に乗り、他回路動作に悪影響を及ぼす。配線通過領域40を設け、この他回路の配線とクロックドライバの相互接続の配線とを分離することにより、このような配線の類似がなく、クロックドライバの動作によるノイズが他回路の動作に悪影響を及ぼすのを防止する

【0043】また、配線通過領域40を設けておくことにより、クロックドライバサブブロック4内において、クロックドライバ回路を余量をもって他回路配線のレイアウトを考慮することなく配置することができ

【0044】【実施の形態3】図5は、この発明の実施の形態3に従う半導体回路装置の構成を概略的に示す図である。図5においては、電源電圧VDDを伝送する電源線10aと接地電圧VSSを伝送する接地線10bが互いに平行に同様に配置される。これらの電源線10aおよび10bの間に、クロックドライバ回路4aの出力信号を伝送するクロック出力線13が配置され、このクロック出力線13は、電源線10aおよび接地線10bと同様に形成されかつこれらの間に配置されるクロックドライバ回路4aは、クロックドライバサブブロック4内に形成されるドライバ回路であってよく、またクロックドライバ形成領域3内に形成されるクロックドライバであってよい。

【0045】また、電源線10aおよび接地線10bは、リング配線1およびメッシュ配線2のいずれに含まれてもよいが、その下部に、クロックドライバ回路4aが形成されている。電源線10aおよび接地線10bは、固定電圧を伝送するしがつて、これらの電源線10aおよび接地線10bの間にクロック出力線13を配置することにより、電源線10aおよび接地線10bが静電シールド層として機能し、クロック出力線13の信号変化が、ノイズとなつて他回路に悪影響を及ぼすのを防止することができる。

【0046】なお、クロック出力線13は、適当な箇所

【0047】以上のように、この発明の実施の形態3に従えば、クロックドライバ回路の出力クロックを伝送するクロック出力線と、リング配線またはメッシュ配線に含まれる電源線および接地線との間に配置されているため、この電源線および接地線がクロック出力線に対する静電遮蔽層として機能し、クロック信号が容易に結合により他

ンク配線1またはメッシュ配線2形成領域下部に、平面図的にこれと重なり合うように、クロックドライバを形成するトランジスタT₁が形成される。このトランジスタT₁は、絶縁ゲート型電界効果トランジスタ(以下MOSトランジスタと称す)で構成される。そのゲートが内部配線11により接続される。この内部配線11は、リング配線1およびメッシュ配線2よりも下層の配線層に形成されており、この内部配線11が、リング配線1およびメッシュ配線2およびリング配線1の影響を受けることなくトランジスタを形成して、これらのMOSトランジスタの相互接続を行なうことが、クロックドライバの形成および他回路との接続を行なうことができる。

【0038】たとえば、P₁1としたからの内部クロック信号がたとえば中央部のクロックドライバ回路へ与えられ、図4に示すように伝送される。

【0039】以上のように、この発明の実施の形態1に従えば、半導体基板領域上に形成されるリング配線およびメッシュ配線と平面図的に見て重なり合うようにクロックドライバ形成領域を配置してこのクロックドライバ形成領域内にクロックドライバを形成するトランジスタを敷き詰めて配置しているため、何らの半導体基板領域内に形成される内部回路のレイアウトに悪影響を及ぼすことなくクロックドライバを形成することができる。また、半導体基板領域内にクロックドライバが分散して配置されているため、任意の内部回路へ、高速でクロック信号を伝送することができる。またクロックドライバは、この半導体基板領域内に分散して配置されているため、内部回路のレイアウト時に、このクロックドライバの配置位置を考慮する必要がなく、内部回路のレイアウトに応じてクロックドライバを適宜配置することができ、同レイアウトの自由度を大幅に改善することができ、また、クロックドライバ動作時の電磁放射ノイズを上部の電源線/接地線が吸収できる。

【0040】このクロックドライバ形成領域3に形成されるクロックドライバの駆動能力は、そこに形成されるトランジスタを適宜選択することにより容易に調整することができる。

【0041】【実施の形態2】図4は、この発明の実施の形態2に従う半導体回路装置の構成を概略的に示す図である。図4に示す構成においては、クロックドライバ形成領域は、リング配線1およびメッシュ配線2を横切る方向に形成される配線通過領域4に分割される。このクロックドライバサブブロック4に分割される。このクロックドライバサブブロック4内においてクロックドライバが形成される。大きなクロックドライバを形成した場合、そのクロックドライバの中における遅延が大きくなる(ドライバ回路の段数が増加するため)。

(6)

される配線2bを含む。これらのリング配線1およびメッシュ配線2は、少なくとも電源電圧Vccを伝送する電源線、および接地電圧Vssを伝送する接地線を含む。これらの電源線および接地線を半導体基板領域上にメッシュ状に形成することにより、この基板領域内に形成される内部回路への電源電圧および接地電圧をその近傍領域の電源線/接地線から供給することができる。電源線強化が実現される。

【0033】これらのリング配線1およびメッシュ配線2には、また必要に応じてクロック信号を伝送するクロック信号線が含まれる。このクロック信号線がメッシュ配線2およびリング配線1に含まれる場合、内部回路へは、安定にクロック信号をその近傍のクロック信号線から伝送することができ、クロック信号のなまりの低減およびクロックスキューの低減等が実現される。

【0034】リング配線1およびメッシュ配線2は、内部回路に安定に必要な電圧/信号を供給し、またその配線抵抗を低減するために、通常配線幅の10倍以上の配線幅を有している。したがって、これらのリング配線1およびメッシュ配線2は、大きな配線幅を必要とするため、多層配線プロセスにおいて、上部の配線層に、これらのリング配線1およびメッシュ配線2が形成される。

【0035】図2は、この発明の実施の形態1に従うクロックドライバの配置を概略的に示す図である。図2において、このリング配線1およびメッシュ配線2の配置領域と平面図的に見て重なり合うように、クロックドライバ形成領域3が配置される。このクロックドライバ形成領域3に形成されるクロックドライバは、このクロックドライバ形成領域3内に敷き詰めて配置するように形成する。必要とされる駆動能力に応じて、必要なクロックドライバのみその人カノードおよび出力ノードをクロック信号線に接続して動作させる。不要なクロックドライバは、その人カノードの電源線または接地線に接続し、出力ノードをオープン状態に設定し、不動作状態とする。これにより、クロックドライバの駆動能力を調整する。

【0036】具体的に、たとえばクロックドライバが、複数のカスケードに接続されるインバータで構成される場合、そのクロックドライバに要求される駆動能力に応じて、用いられるインバータの段数を調整する。または、各インバータを構成するトランジスタの駆動能力を調整する。クロックドライバ形成領域3には、このインバータを構成するトランジスタが敷き詰められており、必要なトランジスタのみを使用する。

【0037】図3は、この発明の実施の形態1における半導体回路装置の断面構造を概略的に示す図である。図3において、リング配線1またはメッシュ配線2は、クロックドライバを形成するために必要な配線層より上層に形成される電源電圧Vccを伝送する電源線1aおよび接地電圧Vssを伝送する接地線1bを含む。このリ

用されるクロックドライバとは人カノードおよび出力ノードのスルーホール位置が異なる。

【0028】請求項1に係る半導体回路装置は、請求項1のクロックドライバは、Pチャネル電界効果トランジスタとNチャネル電界効果トランジスタとを含む。この請求項1に係る装置は、さらに、このPチャネル電界効果トランジスタとNチャネル電界効果トランジスタとを形成領域とNチャネル電界効果トランジスタ形成領域との間に形成され、リング配線1およびメッシュ配線2に結合されるコンタクトゲートとこれらのリング配線1およびメッシュ配線2に結合される第2の固定電圧を伝送する第2の固定電圧伝送線に結合されるソースおよびドレイン領域とを有する絶縁ゲート型電界効果トランジスタで構成されるキャパシタを備える。

【0029】請求項12に係る半導体回路装置は、請求項1のクロックドライバ形成領域に形成されるクロックドライバは、ソースおよびバックゲートがリング配線1およびメッシュ配線2に結合される固定電圧を伝送する固定電圧伝送線に結合される絶縁ゲート型電界効果トランジスタを含む。この絶縁ゲート型電界効果トランジスタのバックゲート形成領域を取囲むように固定電圧を受け取るガードリングが形成される。

【0030】請求項13に係る半導体回路装置は、請求項4のサブブロックドライバ領域には、同一レイアウトのドライバが形成される。これら複数のサブブロックドライバ領域は、クロック信号をドライバするクロックドライバが形成される領域と、クロック信号と異なる信号をドライバするドライバが形成される領域とを含む。

【0031】半導体基板領域上全面にわたって形成されるリング配線およびメッシュ配線と重なり合うようにクロックドライバ形成領域を配置することにより、この半導体基板領域内においては、基板占有面積を増加させることなくクロックドライバを配置することができる。このクロックドライバは基板全面にわたって分散して配置されるため、内部回路レイアウトに応じて適当なクロックドライバを選択することにより、最適なクロックドライバ配置を実現することができる。

【0032】【発明の実施の形態】【実施の形態1】図1は、この発明に従う半導体回路装置の配線レイアウトを概略的に示す図である。図1において、この半導体回路装置は、矩形状の半導体基板領域内に沿って延在して閉ループを描くように配置されるリング配線1と、このリング配線1内部領域上にわたって延在しかつメッシュ状に形成される、かつリング配線1に接続されるメッシュ配線2を含む。このメッシュ配線2は、図1の水平方向に延在して形成される配線2aと、図1の垂直方向に延在して形成

(8)

速で出力クロック信号を生成することができる。出力段インバータBのCMOSインバータ回路(MOSTランジスタPQ3-PQ8およびNQ3-NQ8)のゲートは、両側に設けられたCMOSインバータ回路A1およびA2の出力信号により駆動されており、これらの出力段インバータBのCMOSインバータ回路に対する入力信号の到達時間が同一となり、ほぼ同じタイミングで出力信号が駆動されるため、高速で出力クロック信号が生成される。

【0057】これにより、高速動作するクロックドライバ回路が実現され、クロックドライバ内における信号遅延(ゲート遅延)を低減することができ、スキューの少ないクロック信号を伝達することが可能となる。

【0058】[実施の形態5] 図7(A)-(C)は、この発明の実施の形態5に従うクロックドライバの構成を示す図である。図7(A)に示すように、この実施の形態5においても、クロックドライバサブブロック4においては、2段の互いに駆動力の異なるインバータ回路AおよびBが形成される。

【0059】図7(B)は、この発明の実施の形態5におけるクロックドライバ回路の平面レイアウトを概念的に示す図である。この実施の形態5においても、電源線10aと接地線10bが平行に配置され、電源線10aの下側に、PチャネルMOSTランジスタ形成領域Pが設けられ、接地線10bの下側に、NチャネルMOSTランジスタ形成領域Nが配置される。出力段インバータBが、2つのCMOSインバータ回路B1およびB2に

分割され、これらのCMOSインバータ回路B1およびB2の間の中央部に、入力段インバータAが配置され、この入力段インバータAのゲート電極Gは、コンタクトおよびスルーホールを介して入力信号を伝達する第2層アルミニウム層に形成されるクロック人力線62に結合される。ここで、図7(B)において、図6

(B)と同様、白い四角印は、第1層アルミニウム配線層のソース/ドレインまたはゲート電極層とのコンタクトをなし、黒い四角印は、第1層アルミニウム配線層と第2層アルミニウム配線層とを接続するためのスルーホールを示す。

【0060】入力段インバータAのPチャネルMOSTランジスタのソース領域PSは、電源線10aに接続され、またNチャネルMOSTランジスタのソース領域NSが接地線10bに接続される。これらの入力段インバータAのMOSTランジスタのドレイン領域PDおよびNNDは、第2層アルミニウム配線層に形成される配線52に電気的に接続される。

【0061】インバータ回路B1およびB2は、CMOSインバータ回路の構成を備え、PチャネルMOSTランジスタ形成領域Pにおいてはドレイン領域PDとソース領域PSが交互に配置され、ソース領域PSおよびドレイン領域PDは、それぞれ2つの隣接するMOSTラ

ース領域NSおよびドレイン領域NDが交互に配置される。ソース領域NSが、接地線10bに接続される。PチャネルMOSTランジスタのドレイン領域PDとNチャネルMOSTランジスタのドレイン領域NDが第1層アルミニウム配線51により相互接続される。これらのソース領域およびドレイン領域の間に、対応するMOSTランジスタのゲート電極を構成するゲート電極層Gが配置される。入力段インバータA1およびA2のドレイン領域PDが第2層アルミニウム層52により、出力段インバータBのゲート電極層にコンタクトを介して接続される。配線層52は第2層アルミニウム配線層であり、ゲート電極層Gは第1層ポリシリコン層であるため、この出力段インバータBのゲート電極層と配線52との接続には、中間に第1層アルミニウム配線層が存在する。

【0053】配線51は、また電源線10a外側に設けられる第2層アルミニウム配線層に形成される出力線63に接続され、また入力段インバータA1およびA2のMOSTランジスタに対するゲート電極Gが、接地線10bの外側に配置される第2層アルミニウム配線層の人

力線62に接続される。

【0054】図6(C)は、図6(B)に示すクロックドライバ回路の電気的等価回路を示す図である。図6(C)に示すように、CMOSインバータ回路A1およびA2の間に、出力段インバータBを構成するMOSTランジスタが形成される。CMOSインバータ回路A1はMOSTランジスタPQ1およびNQ1で構成され、CMOSインバータ回路Bは、MOSTランジスタPQ1およびNQ1で構成され、MOSTランジスタ回路A2は、MOSTランジスタQ2およびNQ2で構成される。これらのMOSTランジスタPQ1、PQ2、NQ1、NQ2およびNQ2のゲートに

入力クロック信号が与えられる。

【0055】出力段インバータBは、互いに並列に設けられるPチャネルMOSTランジスタPQ3-PQ8とこれらと、これらのMOSTランジスタPQ3-PQ8それぞれに対して設けられるNチャネルMOSTランジスタNQ3-NQ8を含む。MOSTランジスタPQ3-PQ8は、隣接するMOSTランジスタ間のドレインが1つの共通のコンタクトを介して出力線に結合され、同様に、MOSTランジスタNQ3-NQ8は、隣接するMOSTランジスタ間の共通のコンタクトを介して出力線に結合される。これらのMOSTランジスタが出力線に接続される。これらのMOSTランジスタPQ3-PQ8およびNQ3-NQ8のゲートは、CMOSインバータ回路A1およびA2の出力信号が与えられる。

【0056】CMOSインバータ回路A1およびA2が両側から、この出力段インバータBに含まれるCMOSインバータ回路のゲートを駆動している。したがって、入力段インバータA(A1、A2)の出力信号が、高速で、出力段インバータBの入力部に伝達され、信号遅延が生じることなく、入力クロック信号に応じて、高

速で伝達されて、他回路を駆動させるのを防止することができる。

【0048】[実施の形態4] 図6(A)-(C)は、この発明の実施の形態4に従うクロックドライバの構成を概念的に示す図である。図6(A)に示すように、クロックドライバ回路を、2段のカスケード接続されるインバータAおよびBで構成する。入力段インバータAは、そのサイズを小さくして、入力インピーダンスを小さくする。一方、出力段インバータBは、サイズを大きくして、出力インピーダンスを小さくし、また次段負荷を高速で駆動する。

【0049】図6(A)に示すようなクロックドライバ回路を所定数接続してクロックドライバを形成することにより、そのサイズが順次大きくされるインバータをカスケード接続することにより1つのクロックドライバを構成する場合には、信号伝搬遅延を低減することができ、

【0050】図6(B)は、この発明の実施の形態4におけるクロックドライバ回路の平面レイアウトを概念的に示す図である。図6(B)において、電源線VDDを伝達する電源線10a下側に、PチャネルMOSTランジスタを形成する領域Pが設けられ、また接地線VSSを伝達する接地線10bの下側に、NチャネルMOSTランジスタを形成する領域Nが設けられる。これらの電源線10aおよび接地線10bは、たとえば第2層アルミニウム配線層に形成される。

【0051】入力段インバータAは、2つのCMOSインバータ回路に分割される。すなわち、図6(B)において、出力段インバータBを間接する2つのCMOSインバータ回路A1およびA2が配置される。このCMOSインバータ回路A1およびA2において、PチャネルMOSTランジスタのソース領域PSがコンタクト461を介して中間の第1層アルミニウム配線層に接続される。この中間の第1層アルミニウム配線層は、コンタクト462を介して電源線10aに接続される。またNチャネルMOSTランジスタのソース領域NSは、コンタクト461を介して第1層アルミニウム配線層に接続され、第1層アルミニウム配線層がコンタクト462を介して接地線10bに接続される。CMOSインバータ回路A1およびA2において、ドレイン領域PDおよびNNDは、第1層アルミニウム配線層50aおよび50bで相互接続される。

【0052】間に形成される出力段インバータBも同様に、CMOSインバータ回路で構成される。この出力段インバータBにおいてPチャネルMOSTランジスタのソース領域PSおよびドレイン領域NDが交互に配置される。これらのPチャネルMOSTランジスタのソース領域PSが、電源線10aに接続される。同様、この出力段インバータBのNチャネルMOSTランジスタのソ

ソース領域PSが、接地線10bに接続される。ドレイン領域NDおよびソース領域NSは、隣接する2つのMOSTランジスタによりそれぞれ共有される。同様、NチャネルMOSTランジスタ形成領域Nにおいても、ドレイン領域NDとソース領域NSが交互に配置され、ドレイン領域NDおよびソース領域NSは、隣接する2つのMOSTランジスタによりそれぞれ共有される。

【0062】出力段CMOSインバータ回路B1およびB2のMOSTランジスタのドレイン領域PDおよびNNDが出力線63に電気的に接続される。配線52は、また出力段CMOSインバータ回路B1およびB2のMOSTランジスタのゲート電極Gに電気的に接続される。

【0063】中央部に配置された入力段インバータAからの出力信号が、配線52を介して両側に設けられた出力段CMOSインバータ回路B1およびB2に伝達される。

【0064】図7(C)は、図7(B)に示すクロックドライバ回路の電気的等価回路を示す図である。図7(C)に示すように、入力段インバータAは、2つのPチャネルMOSTランジスタPQ1およびNQ1と2つのNチャネルMOSTランジスタNQ3-NQ5で構成される。出力段CMOSインバータ回路B2は、3つのPチャネルMOSTランジスタPQ6-PQ8と3つのNチャネルMOSTランジスタNQ6-NQ8で構成される。

【0065】出力段CMOSインバータ回路B1は、3つのPチャネルMOSTランジスタPQ3-PQ5と3つのNチャネルMOSTランジスタNQ3-NQ5で構成される。出力段CMOSインバータ回路B2は、3つのPチャネルMOSTランジスタPQ6-PQ8と3つのNチャネルMOSTランジスタNQ6-NQ8で構成される。

【0066】この入力段インバータAの出力信号は、互いに反対方向に出力段CMOSインバータ回路B1およびB2に伝達される。したがって、この入力段インバータAからの出力信号は、同じ時間で、これらの出力段CMOSインバータ回路B1およびB2に伝達され、CMOSインバータ回路B1およびB2は、実質的に同じタイミングで動作し、クロック出力線63を駆動する。入力段インバータAは、出力段インバータB(B1、B2)の中央部に配置されており、この入力段インバータAの出力信号が、出力段CMOSインバータ回路B1およびB2まで伝達される距離は短く、その信号伝搬遅延は小さい。したがって、このクロックドライバ回路内における信号遅延を小さくすることができ、高速動作を行うクロックドライバ回路を実現することができ、

【0067】以上のように、出力段インバータ回路を2つに分割し中央部に入力段インバータを配置しているため、入力段インバータの信号伝搬遅延(ゲート遅延)を低減することができ、また出力段インバータへの入力信号の伝搬遅延を低減することができ、このクロックドライバ内における信号伝搬遅延(ゲート遅延)を低減することができ、高速動作を行うクロックドライバ回路を実現することができ、

【0068】[実施の形態6] 図8(A)は、この発明

2 nが配設され、またゲート電極G、ソース領域およびドレイン領域の相互接続が行なわれ、しかしながら、この場合、未使用とされるため、サブ出力クロック線6 3 bは、その領域に形成されるドライブレイン回路DおよびFの出力ノードには接続されない。すなわち、サブ出力クロック線6 3には接続されない。一方、入力ドライブレイン回路1 1 xが設けられていない。一方、入力ドライブレイン回路1 1 yにおいては、ゲート電極が、スルーホール1 1 yを介して接地線1 0 bに電気的に接続される。したがって、この未使用のクロックドライバサブブロック4 Bは、人が接地電圧レベルに固定され、出力がオープン状態に設定される。これにより、用いられるクロックドライブレイン回路の数を調整し、クロックドライブレイン回路の調整を図る。

【0083】クロックドライバサブブロック4 Aおよび4 Bにおいては、同じレイアウトでトランジスタおよび内部配線が配置されている。単に、スルーホール線1 2およびクロック出力線6 3に対するスルーホールの位置が異なるだけである。したがって、マスタ工程ですべてクロックドライバサブブロックを構成し、スライス工程において、スルーホールの位置を調整した後に、クロック出力線6 3およびクロック出力線6 2を形成する。これにより、使用用途に応じて最適な駆動能力を有するクロックドライブレイン回路を生成することができ、クロックキューを低減することができ。

【0084】図1 0は、図9に示すクロックドライバサブブロック4 Aおよび4 Bの電気的等価回路を示す図である。図1 0において、クロックドライバサブブロック4 Aにおいて、入力クロックドライブレイン回路Hは、CMOSインバータで構成され、PチャネルMOSトランジスタPT 4およびPT 5とNチャネルMOSトランジスタNT 4およびNT 5を含む。MOSトランジスタPT 4、PT 5、NT 4およびNT 5のゲートには、クロック入力線6 2が結合される。

【0085】出力クロックドライブレイン回路Aは、CMOSインバータで構成され、PチャネルMOSトランジスタPT 1-PT 3およびNチャネルMOSトランジスタNT 1-NT 3を含む。これらのMOSトランジスタPT 1-PT 3およびNT 1-NT 3のゲートは、入力クロックドライブレイン回路Bの出力信号が与えられる。MOSトランジスタPT 1-PT 3およびNT 1-NT 3の出力ノード（ドレイン領域）が、スルーホール1 1 xを介してクロック出力線6 3に結合される。

【0086】出力クロックドライブレイン回路Cは、CMOSインバータで構成され、PチャネルMOSトランジスタPT 6-PT 8とNチャネルMOSトランジスタNT 6-NT 8を含む。MOSトランジスタPT 6-PT 8およびNT 6-NT 8のゲートは、入力クロックドライブレイン回路Bの出力信号が共通に与えられる。MOSトラン

ジスタPT 6は、本実施の形態においては第3層アルミニウム配線層に形成される。これらの接地線1 0 b外部に、この接地線1 0 bと平行にクロック信号を伝送するクロック入力線6 2が配設される。このクロック入力線6 2も、第3層アルミニウム配線層に形成される。クロックドライバサブブロックは、実質的に電源線1 0 aおよび接地線1 0 bにより両者の間の領域を除いて覆われる。

【0079】クロックドライバサブブロック4 Aにおいては、電源線1 0 aの下層に、PチャネルMOSトランジスタを形成するための3つのトランジスタフィードバック1 2 pが配設され、接地線1 0 bの下層に、NチャネルMOSトランジスタを形成するための3つのトランジスタフィードバック1 2 nが配設される。これらのトランジスタフィードバック1 2 nは形成されるPチャネルMOSトランジスタは、そのソース領域が共通に第2層アルミニウム配線層に形成されるサブ電源線5 2 aに接続される。このサブ電源線5 2 aは、電源線1 0 aと重なるように配設されており、スルーホール1 1 を介して、このサブ電源線5 2 aが電源線1 0 aに電気的に接続される。一方、このトランジスタフィードバック1 2 pに形成されるソース領域は、共通に、第1層アルミニウム配線層8に接続され、この第1層アルミニウム配線層8は、スルーホール7を介して、クロック出力線6 3下部に配設されるサブ出力クロック線6 3 aに接続される。

【0080】NチャネルMOSトランジスタを形成するトランジスタフィードバック1 2 nにおいても同様、ソース領域が、スルーホール7を介して第2層アルミニウム配線層に形成されるサブ接地線5 2 cに接続される。この第2層アルミニウム配線層に形成されるサブ接地線5 2 cは、スルーホール1 1 を介して接地線1 0 bに接続される。トランジスタフィードバック1 2 nにおけるドレイン領域は、第1層アルミニウム配線層8に接続され、この第1層アルミニウム配線層8が、スルーホール7を介してサブ出力クロック線6 3 aに接続される。

【0081】このクロックドライバサブブロック4 Aは、実際に使用するため、このサブクロック出力線6 3 aが、スルーホール1 1 xを介してクロック出力線6 3に電気的に接続される。同様、クロック入力線6 2は、スルーホール1 1 xを介して、中央部側のトランジスタフィードバック1 2 pおよび1 2 nに形成されたトランジスタのゲート電極層Gに電気的に接続される。中央部に形成されるトランジスタ（ドライブレイン回路）Bが入力ドライブレイン回路となり、その両側に配設されるドライブレイン回路AおよびCが、出力ドライブレイン回路を構成する。

【0082】一方、クロックドライバサブブロック4 Bは、使用されないクロックドライブレイン領域である。クロックドライバサブブロック4 Bにおいても、クロックドライバサブブロック4 Aと同様のレイアウトで、トランジスタフィードバック1 2 pおよびトランジスタフィードバック1 2 nが配設される。

ック出力線9 0に電気的に接続される。これらのクロック入力線9 1およびクロック出力線9 0は第2層アルミニウム配線層で形成される。

【0074】ゲート電極5を平面図的に見てジグザグ状に折曲げて配設することにより、PチャネルMOSトランジスタおよびNチャネルMOSトランジスタのゲート長さを長くし、応じてチャネル幅を大きくする。これにより、クロックドライブレインの高さ方向における電源線1 0 aおよび接地線1 0 bのピッチに起因する制約が存在する場合においても、十分な電圧駆動力を有するMOSトランジスタを得ることができ。

【0075】また、ゲート電極5とドレインコンタクト6の間の領域には、できるだけ、設計ルールの最小値を用いる。これにより、MOSトランジスタのドレイン面積を低減し、ドレイン接合容量に起因するドレイン容量を低減させ、高速で出力信号を出力する。

【0076】図8 (B)は、図8 (A)に示すクロックドライブレイン回路の電気的等価回路を示す図である。トランジスタフィードバック1 2 pには、PチャネルMOSトランジスタPT 4 aおよびPT 5 aが形成され、トランジスタフィードバック1 2 nには、NチャネルMOSトランジスタNT 4 aおよびNT 5 aが形成される。これらのMOSトランジスタPT 4 a、PT 5 a、NT 4 aおよびNT 5 aのゲートを高圧方向（または電圧形状）に形成して、チャネル幅を広くする。また、ドレイン面積は、できるだけ小さくし、このドレイン容量を小さくする。これにより、クロック出力線9 0に接続する寄生容量を低減し、高速で出力信号を駆動する。

【0077】以上のように、この発明の実施の形態6に、図8 (B)に示すように、ゲート電極5を折曲げて配設して、MOSトランジスタのチャネル幅を等しくする。また、ドレイン面積は、できるだけ小さくし、このドレイン容量を小さくする。これにより、クロック出力線9 0に接続する寄生容量を低減し、高速で出力信号を駆動する。

【0078】実施の形態7 図9は、この発明の実施の形態7に、図9に示すように、ゲート電極5を折曲げて配設して、MOSトランジスタのチャネル幅を等しくする。また、ドレイン面積は、できるだけ小さくし、このドレイン容量を小さくする。これにより、クロック出力線9 0に接続する寄生容量を低減し、高速で出力信号を駆動する。

の実施の形態6に、図8 (A)に示すように、ゲート電極5を折曲げて配設して、MOSトランジスタのチャネル幅を等しくする。また、ドレイン面積は、できるだけ小さくし、このドレイン容量を小さくする。これにより、クロック出力線9 0に接続する寄生容量を低減し、高速で出力信号を駆動する。

【0079】この図8 (A)に示すように、ゲート電極5を折曲げて配設して、MOSトランジスタのチャネル幅を等しくする。また、ドレイン面積は、できるだけ小さくし、このドレイン容量を小さくする。これにより、クロック出力線9 0に接続する寄生容量を低減し、高速で出力信号を駆動する。

【0080】図8 (A)において、トランジスタフィードバック1 2 pには、PチャネルMOSトランジスタPT 4 aおよびPT 5 aが形成され、トランジスタフィードバック1 2 nには、NチャネルMOSトランジスタNT 4 aおよびNT 5 aが形成される。これらのMOSトランジスタPT 4 a、PT 5 a、NT 4 aおよびNT 5 aのゲートを高圧方向（または電圧形状）に形成して、チャネル幅を広くする。また、ドレイン面積は、できるだけ小さくし、このドレイン容量を小さくする。これにより、クロック出力線9 0に接続する寄生容量を低減し、高速で出力信号を駆動する。

【0081】この図8 (A)に示すように、ゲート電極5を折曲げて配設して、MOSトランジスタのチャネル幅を等しくする。また、ドレイン面積は、できるだけ小さくし、このドレイン容量を小さくする。これにより、クロック出力線9 0に接続する寄生容量を低減し、高速で出力信号を駆動する。

【0082】この図8 (A)に示すように、ゲート電極5を折曲げて配設して、MOSトランジスタのチャネル幅を等しくする。また、ドレイン面積は、できるだけ小さくし、このドレイン容量を小さくする。これにより、クロック出力線9 0に接続する寄生容量を低減し、高速で出力信号を駆動する。

【0083】この図8 (A)に示すように、ゲート電極5を折曲げて配設して、MOSトランジスタのチャネル幅を等しくする。また、ドレイン面積は、できるだけ小さくし、このドレイン容量を小さくする。これにより、クロック出力線9 0に接続する寄生容量を低減し、高速で出力信号を駆動する。

る。この第2層アルミニウム配線層9は、スルーホール7を介してこの入力段CMOSインバータ回路A1およびA2を構成するMOSトランジスタのゲート電極層5pおよび5nに結合される。

【0097】入力段CMOSインバータ回路A1およびA2のドレイン領域は、第2層アルミニウム配線層71により相互接続され、さらにスルーホール7aを介して、図12の水平方向に延在する第1層アルミニウム配線層70に相互接続される。第1層アルミニウム配線層70は、また第2層アルミニウム配線層73に結合され、出力段インバータ回路BのMOSトランジスタのゲート電極に結合される。出力段インバータ回路Bのドレイン領域(10)は、第2層アルミニウム配線層73により相互接続され、続いて、スルーホール11aによりその上層のクロック出力線63に結合される。

【0098】このクロック出力線63の下層に、このクロック出力線63と重なり合うように、キャパシタを形成するためのフィードバック領域79が形成される。フィードバック領域79は、出力線63の両側に形成される不純物領域は、フィードバック領域79上をコンタクトに延在する第1層アルミニウム配線層81にコンタクト孔84を介して電気的に接続される。第1層アルミニウム配線層81は、またスルーホールを介して第2層アルミニウム配線層89に形成される。この第2層アルミニウム配線層89は、クロックドライバ回路を構成するNチャネルMOSトランジスタのソース領域(S)へスルーホール7cを介して接続され、さらにスルーホール11nを介してその上層に形成される後地線10bに電気的に接続される。

【0099】フィードバック領域79を横切るように、第2層アルミニウム配線層81の間に第1層シリコン層でなすば構成されるゲート電極層82が形成される。このゲート電極層82は、コンタクト孔2を介して図12の垂直方向に延在する第1層アルミニウム配線層80に電気的に接続される。この第1層アルミニウム配線層80は、またスルーホール7aを介してサブ電極層91に接続される。

【0100】クロック出力線63下部に形成されるフィードバック領域79においては、そのゲート領域下面に設けられた不純物領域が配線層81により相互接続され、さらに後地線10bに接続される。一方、ゲート電極層82は、配線層80および91を介して後地線10aに接続される。このフィードバック領域79には、N型不純物領域が形成されており、したがって、NチャネルMOSトランジスタのゲートおよびドレインが後地線10aに接続されて、そのゲートが電源電圧VDDを受けるように結合され、1つのMOSキャパシタが形成される。電源線10aと後地線10bの間に1つのMOSキャパシタが形成され、このクロックドライバ回路動作時における電流ノイズを吸収する。クロック出力線63下部に容量が形成されるだけであり、このデカップリング容量SCを

配置するための専用の領域は必要とされない。単に、クロックドライバ回路形成領域内にノイズ吸収用のデカップリング容量が配置されるだけであり、面積増加を伴うことなく、ノイズ特性に優れたクロックドライバ回路を実現することができる。

【0101】図13は、図12に示すクロックドライバ回路の電気的等価回路を示す図である。図13においては、クロックドライバインバータ回路Aを構成するCMOSインバータA1は、サブ電極層91とサブ接地線89の間に直列に接続されるMOSトランジスタPM1およびNM1を含む。これらのMOSトランジスタPM1およびNM1のゲートが、クロック入力線62に結合される。クロックドライバインバータ回路Aに含まれるC MOSインバータA2も、同様、サブ電極層91とサブ接地線89の間に直列に接続されるMOSトランジスタPM6およびNM6を含む。これらのMOSトランジスタPM6およびNM6のゲートに共通に、クロック入力線62を介して入力クロックドライバ信号が伝達される。

【0102】出力段クロックドライバ回路Bは、4つのPチャネルMOSトランジスタPM2-PM5と、4つのNチャネルMOSトランジスタNM2-NM5を含む。これらのMOSトランジスタPM2-PM5およびNM2-NM5のゲートは相互接続された内部信号線70に共通に結合される。これらのMOSトランジスタPM2-PM5およびNM2-NM5は、隣接する2つのMOSトランジスタが共通にドレインコンタクトが設けられ、これらのドレインコンタクトを介してMOSトランジスタPM2-PM5およびNM2-NM5のドレインが、出力クロック出力線63に結合される。

【0103】サブ電極層91がモタ、配線層80を介してデカップリング容量SCのゲートに接続され、またサブ接地線89が配線層81を介してこのデカップリング容量SCのソース/ドレイン領域に結合される。

【0104】この図12および図13に示すクロックドライバ回路の構成において、デカップリング容量SCは、そのチャネル幅を、図12に示すNウェル65の長さと同程度とすることができ、すなわち、デカップリング容量SCは、平面レイアウトにおける面積を増加させることなく大きな容量値を有するMOSキャパシタにより実現される。

【0105】またクロックドライバ回路(2段のインバータ)それぞれに対してデカップリング容量SCを設けるため、効率的に電源/接地ノイズを吸収することができ、(ノイズ源となるクロックドライバ回路とデカップリング容量との距離が短い) また、クロックドライバ回路の使用/未使用にかかわらず、デカップリング容量が配置されるため、このデカップリング容量の配置位置を用途ごとに考慮する必要がある。

【0106】[変更例1] 図14(A)は、この発明の実施の形態8の変更例を示す図である。図14(A)に

出力線)を第3層アルミニウム配線層に形成することにより、容易にクロックドライバの駆動能力の調整を行なうことができる。

【0092】実施の形態8 図11は、この発明の実施の形態8に従うクロックドライバ回路の構成を概念的に示す図である。この図11に示す構成においては、1つのクロックドライバ回路(クロックドライバサブブロック)が、2段のインバータ回路AおよびBで構成される。このクロックドライバ回路Aにおいて、また、電源ノードと接地ノードの間にデカップリング容量を配置する。このデカップリング容量SCをクロックドライバ回路に近接して配置することにより、クロックドライバ回路動作時における電源ノイズの発生を防止する。

【0093】図12は、この発明の実施の形態8におけるクロックドライバ回路の平面レイアウトを概念的に示す図である。図12において、後地線10aと後地線10bの間に、出力クロック信号を伝達するクロック出力線63が配置され、またこの後地線10bの外側に、入力クロック信号を伝達するクロック入力線62が形成される。これらの後地線10a、後地線10b、クロック出力線63およびクロック入力線62は、第3層アルミニウム配線層に形成される。

【0094】後地線10aと平面図的に見て一部が重なり合うように、Nウェル65が形成される。このNウェル65は、以下に説明するデカップリング容量SCを形成するため、このデカップリング容量とPチャネルMOSトランジスタ形成領域とを分離するために設けられ、デカップリング容量SCは、本実施の形態において、NチャネルMOSトランジスタを利用するMOSキャパシタで構成される。

【0095】Nウェル65内に、PチャネルMOSトランジスタを形成するためのトランジスタフィードバック領域10aと平面図的に見て重なり合うように配置される。トランジスタフィードバック領域10aにおいては、ソース領域Sおよびドレイン領域Dが交互に配置される。これらのソース領域Sおよびドレイン領域Dの間に、ゲート電極層5pが配置される。これらのソース領域Sは、その上層の第1層アルミニウム配線層91に電気的に接続される。第2層アルミニウム配線層91は、スルーホール11pを介してその上層の電源線10aに接続される。

【0096】図12に示す配置においては、入力段インバータ回路Aが2つのCMOSインバータ回路A1およびA2に分割され、これらのCMOSインバータ回路A1およびA2の間に、出力段インバータ回路Bが配置される。入力段CMOSインバータ回路においては、クロック入力線62が、スルーホール11を介してその下部に設けられた第2層アルミニウム配線層91に結合され

ランジスタPT6-PT8およびNT6-NT8のドレイン領域が、また共通に結合されてスルーホール11xを介してクロック出力線63に結合される。

【0087】一方、未使用のクロックドライバサブブロック4Bにおいては、クロックドライバサブブロック4Aと同様、入力段クロックドライバ回路Bと、このクロックドライバ回路Bの両側に出力段クロックドライバ回路BおよびPが配置される。入力段クロックドライバ回路Bは、2つのPチャネルMOSトランジスタPT12およびPT13と、2つのNチャネルMOSトランジスタNT12およびNT13を含む。一方、出力段クロックドライバ回路Bは、3つのPチャネルMOSトランジスタPT9-PT11と、3つのNチャネルMOSトランジスタNT9-NT11を含む。他方側のクロックドライバ回路Bは、3つのPチャネルMOSトランジスタPT14-PT16と、3つのNチャネルMOSトランジスタNT14-NT16を含む。

【0088】これらのトランジスタのレイアウトは、先の図9に示すように、クロックドライバサブブロック4Aおよび4Bにおいて同様である。しかしながら、この未使用のクロックドライバサブブロック4Bにおいて、スルーホール11yにより、入力クロックドライバ回路BのMOSトランジスタPT12、PT13、NT12およびNT13のゲートが接地ノードに結合される。また、出力段クロックドライバ回路Bおよび出力ノードは共通に内部配線に結合されるもの、この内部配線(サブ出力ブロック63b)は、クロック出力線63には結合されず、オープン状態に維持される。このクロック出力線63は、サブブロック4Aおよび4Bの間に配設して容易にクロックドライバの駆動能力を調整することができ、図10に示す電気的等価回路から明らかのように、単に第2層アルミニウム配線層と第3層アルミニウム配線層を接続するためのスルーホールの位置を変更することにより、クロックドライバ回路の使用/未使用状態に設定することができ、適用回路に応じて容易にクロックドライバの駆動能力を調整することができる。

【0090】なお、図9および図10に示す構成においては、クロック入力線62が、後地線10bに隣接して配置されている。しかしながら、クロック入力線62が電源線10aに隣接して配置される場合、この未使用のクロックドライバサブブロック4Bにおいて入力ドライバ回路のノード(ゲート)を電源線10aに固定するよう設定されてもよい。出力ノードはオープン状態に維持される。

【0091】以上のように、この発明の実施の形態7に従って、第2層アルミニウム配線層と第3層アルミニウム配線層とを接続するスルーホールの位置を変更可能に設定し、電源線、接地線クロック伝達線(入力線および

利用してその駆動能力を補償することができる。この駆動能力の調整は、内部回路のレイアウト後にも、未使用クロックドライバ回路を用いて行うことができる。また未使用回路の数が低減されるため、回路利用効率が改善される。

【0119】【他の適用用途】半導体回路装置として、内部回路がクロック信号に同期して動作する回路であればよく、回路設計手法などにおいてマイクロ単位での設計が行なわれる場合、そのマイクロ境界領域に於いてこのクロックドライバ形成領域が配置されてよい。

【0120】

【発明の効】請求項1に係る発明に従えば、リング配線およびメッシュ配線両方に、これらと重なり合うようにクロックドライバ形成領域を設けているため、クロックドライバを設けるための特別の専用の領域を設ける必要がなく、レイアウト面積が低減され、また半導体基板領域上にクロックドライバを分散して配置することができる。またクロック信号も、これらのメッシュ配線およびリング配線と同様の構成となるためクロック信号線を強化することができ、クロックスキューを低減することができるとする。

【0121】請求項2に係る発明に従えば、クロックドライバを、リング配線およびメッシュ配線に含められる電源線および接地線とそれらの間の領域を除いて実質的に覆われるように配置しているため、従来配線通過領域として用いられていた空いた領域を効率的に利用して、クロックドライバを配置することができる。

【0122】請求項3に係る発明に従えば、クロック出力信号線を電源線および接地線の間に配置しているため、このクロック信号線が、電源線および接地線によりシールドされ、クロック信号の容量結合によるノイズが他回路に伝達されるのを防止することができる。

【0123】請求項4に係る発明に従えば、クロックドライバ形成領域をリング配線およびメッシュ配線が交差するよう配置される配線を通過させる領域によりサブクロックドライバ領域に分割しているため、クロックドライバの範囲を小さくして、クロックドライバにおける信号遅延（ゲート遅延）を低減することができる。また他回路のクロックドライバの動作によるノイズが他回路の配線に伝達されるのを防止することができる。

【0124】請求項5に係る発明に従えば、クロックドライバを、入力段のインバータを出力段のインバータに挟むように配置されるように構成しているため、この入力段インバータの出力信号が高速で出力段インバータに伝達され、クロックドライバ回路における信号伝達遅延を低減することができる。また、高速動作するクロックドライバ回路を実現することができる。これにより、クロックドライバ回路を構成することができる。

リング93および95は、たとえばフィードバック線に、他のクロックドライバ回路から分離されてもよい。また、いわゆるトレンチ構造の分離構造（PN接合分離）によりクロックドライバ回路間でガードリングが互いに分離されてよい。

【0115】これにより、PMOS形成領域92およびNMOS形成領域94に形成されるMOSトランジスタの基板電圧を一定に保持することができ、ドライバ回路の動作時に発生する基板ノイズが他回路に悪影響を及ぼすのを防止することができる。

【0116】【実施の形態10】図16は、この発明の実施の形態10に従う半導体回路装置の要部の構成を概念的に示す図である。図16において、リング配線およびメッシュ配線下に配置されるクロックドライバは、クロックドライバサブブロック4に分割される。これらのクロックドライバサブブロック4の間には、通過配線領域40が設けられる。クロックドライバサブブロック4においては、クロック信号を伝達するために用いられない未使用クロックドライバが配置される未使用クロックドライバサブブロック4x、4yおよび4zが存在する。これらの未使用クロックドライバサブブロックは、先の図10に示すように、その入力が所定電圧レベルに固定され、その出力がオープン状態に設定されている。本実施の形態においては、この未使用のクロックドライバサブブロックを他信号を伝達するためのドライバ回路として利用する。すなわち、その入力を、通過配線領域において他信号線に接続し、また、その出力を同様に、通過配線領域内に介して他回路へ接続する。このクロックドライバサブブロックより下層の配線を用いて行なわれるため、専用の通過配線領域40を介せずに、サブブロック4内の適当な位置に対して行なわれてもよい。

【0117】図16においては、この未使用のクロックドライバサブブロックとして、外部からの入力信号をドライバとして回路へ伝達する入力信号ドライバ回路4x、4y、4zと、この内部回路の処理結果を示す信号を外部へ出力する出力信号ドライバ回路4yと、半導体回路装置内の内部回路から内部回路への信号をドライバとする内部信号ドライバ回路4zを代表的に示す。

【0118】信号ドライバ用のバックアップ回路などの配置領域が存在しない場合においても、このサブブロック4は、同一レイアウトのドライバ回路を有し、矩形状半導体基板領域上に分散して配置されているため、適当な位置の未使用クロックドライバ回路を、他の信号をドライバするバックアップ回路として利用することができる。これにより、クロック信号以外の信号をドライバするためのドライバ回路を特に設けるための領域を設ける必要がなくなり、レイアウト面積が低減される。また、バックアップ回路が存在する場合においても、そのバックアップ回路の駆動能力が小さい場合、容易に未使用クロックドライバ回路を

ことができる。また、これらのデカップリング容量は、MOSトランジスタで構成しているため、PおよびNチャネルMOSトランジスタ製造工程と同一製造工程でデカップリング容量を形成することができる。何ら製造工程を増加させることはない。

【0112】【実施の形態9】図15は、この発明の実施の形態9に従う半導体回路装置の要部の構成を概念的に示す図である。この図15に示す構成においては、PチャネルMOSトランジスタが形成されるPMOS形成領域92を形成するように、ガードリング93が配置される。このガードリング93は、電源電圧VDDレベルに固定され、PMOS形成領域92内のPMOSトランジスタのバックゲートをまた、電源電圧VDDレベルに固定する。一方、NチャネルMOSトランジスタを形成するNMOS形成領域94を形成するように、またガードリング95が形成される。このガードリング95は接地電圧VSSレベルに固定され、また、NMOS形成領域のNMOSトランジスタのバックゲートを接地電圧VSSに固定する。これらのPMOS形成領域92およびNMOS形成領域94の間に、デカップリング容量を形成する容量形成領域79が配置される。

【0113】PMOS形成領域92およびNMOS形成領域94には、クロックドライバサブブロックが配置されてもよく、また1つの大きなクロックドライバの所定領域単位（たとえばインバータ単位）でガードリングが設けられてもよい。PMOS形成領域92内には複数のPチャネルMOSトランジスタが形成され、またNMOS形成領域94内には、複数のNチャネルMOSトランジスタが形成される。これらのMOSトランジスタ動作時に、ソース/ドレイン接合容量を介して基板領域にノイズが発生し、このノイズが他回路に伝達することが考えられる。バックゲートバイアス印加領域として機能するガードリング93および95を設けることで、クロックドライバ（クロックドライバ回路）動作時におけるノイズが、他回路に基板領域を介して伝達されるのを防止することができる。クロックドライバ（クロックドライバ回路）の動作が悪影響を及ぼすのを防止することができる。

【0114】なお、図15に示す構成においてはPMOS形成領域92およびNMOS形成領域94それぞれにガードリング93および95が設けられている。PMOS形成領域92およびNMOS形成領域94の一方にのみガードリングが設けられてもよい。ガードリング93は、たとえば高濃度N型不純物領域で形成され、このPMOS形成領域92内に形成されるPチャネルMOSトランジスタのバックゲート（基板）を電源電圧VDDレベルに固定する。またガードリング95は、高濃度P型不純物領域で形成され、このNMOS形成領域94内に形成されるNチャネルMOSトランジスタのバックゲートを接地電圧VSSレベルに固定する。これらのガード

においては、デカップリング容量SC1は、そのゲートが接地ノードに接続され、そのドレインおよびソースが電源線に結合されるNチャネルMOSトランジスタで構成される。この図14（A）に示すデカップリング容量SC1においては、単に図12に示す配置において、電源線80および81を交換する。この場合、デカップリング容量SC2は常時導通状態にあり、チャネル領域が形成されるため、大きな容量値を有するデカップリング容量を実現することができる。

【0107】【変例2】図14（B）は、この発明の実施の形態8の変例の構成を示す図である。図14（B）に示すデカップリング容量SC2は、そのゲートが接地線に接続され、そのソースおよびドレイン領域が電源線に結合されるPチャネルMOSトランジスタで構成される。この場合、デカップリング容量SC2は常時導通状態にあり、チャネル領域が形成されるため、大きな容量値を有するデカップリング容量を実現することができる。

【0108】この図14（B）に示すデカップリング容量SC2は、フィードバック線79内にPチャネルMOSトランジスタを形成するため、Nウェル65をこのフィードバック線79を囲むように配置する。ゲートは、線12に示すレイアウトにおいて配線80および81を入れ替えることにより実現される。

【0109】【変例3】図14（C）は、この発明の実施の形態8のデカップリング容量の変形例を示す図である。この図14（C）に示すデカップリング容量SC3は、そのゲートが電源線に接続され、ソースおよびドレインが接地線に接続されるPチャネルMOSトランジスタで構成される。この図14（C）に示すデカップリング容量SC3は、常時非導通状態のMOSトランジスタとして利用する。図14（C）に示すデカップリング容量SC3は、図12に示すレイアウトにおいて、Nウェル65をフィードバック線79を囲むように配置し、このフィードバック線79内の不純物領域をP型不純物領域で形成することにより実現される。

【0110】なお、これらの図13および図14（A）（C）に示すMOSキャパシタが個々にデカップリング容量として用いられてもよく、また、これらの構成を組合わせてデカップリング容量として利用されてもよい。

【0111】以上のように、この発明の実施の形態8に従えば、クロックドライバ回路を形成するPチャネルMOSトランジスタおよびNチャネルMOSトランジスタの間の領域に、MOSキャパシタを配置するように構成しているため、専用のキャパシタ領域を設ける必要がなく、効率的にクロックドライバ回路の電源/接地ノイズを吸収することのできるデカップリング容量を実現する

(16)

- 1, B2出力段CMOSインバータ回路, 5 ゲート電極, 6 ソース/ドレインコンタクト, 11x, 11y スルーホール, 63 出力クロック線, 62 入力クロック線, 63a サブ出力クロック線, 52c サブクロック線, 52a サブ電源線, 52b 内部信号線, 4 接地線, 52a サブ電源線, 4B 非使用クロックドライン回路, SC デカップリング容量, 80, 81 配線, 79 フィールド領域, 89 サブ接地線, 9 1 サブ電源線, 65 Nウェル, SC1-SC3 デカップリング容量, 92 PMOS形成領域, 94 N MOS形成領域, 93, 95 ガードリング, 4x, 4y, 4z 他信号ドライン回路。

【図17】従来の半導体回路装置のクロックドライバの配置を概念的に示す図である。

【図18】従来の半導体回路装置のクロックドライバの他の配置を概念的に示す図である。

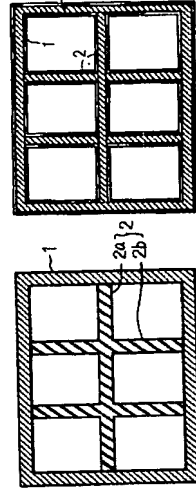
【符号の説明】

- 1 リング配線, 2, 2a, 2b メッシュ配線, 1a 電源線, 1b 接地線, 4 クロックドライバサブブロック, 40 配線通過領域, 10a 電源線, 10b 接地線, 13 出力クロック線, 4a クロックドライン, A, B クロックドライバを構成するCMOSインバータ, A1, A2 入力段インバータを構成するCMOSインバータ, B 出力段CMOSインバータ, B

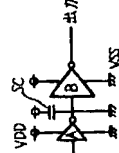
【図2】

【図3】

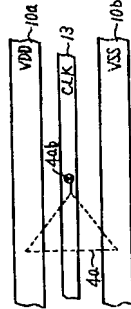
【図1】



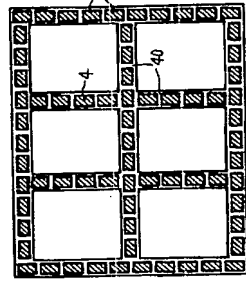
【図11】



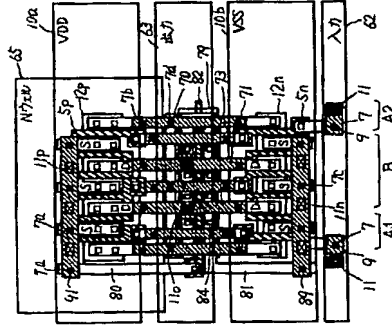
【図5】



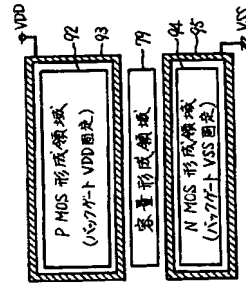
【図4】



【図12】



【図15】



特開平13-007293

(15)

ックスキューを低減できる。

【0125】請求項6に係る発明に従えば、クロックドライン回路を形成する入力段のインバータを、出力段インバータで代わらうように構成しているため、入力段インバータの出力信号を出力段インバータに高速度で伝達させることができ、高速度動作するクロックドライン回路を実現することができる。

【0126】請求項7に係る発明に従えば、クロックドライン回路形成領域において、MOSトランジスタのコントロールゲートを凹形状に形成しているため、MOSトランジスタのチャネル幅を実効的に広くすることができ、レイアウト面積を増加させることなく電流駆動力の大きなMOSトランジスタを実現することができる。

【0127】請求項8に係る発明に従えば、このクロックドライン回路の凹形状にされたコントロールゲートとMOSトランジスタのドレイン領域のコンタクトとを、ドレイン領域を最小設計寸法になるように設定しているため、ドレイン領域を最小として、ドレイン容量を低減し、出力ノードの寄生容量を低減して高速度で出力信号を生成することができる。

【0128】請求項9に係る発明に従えば、各サブクロックドライン回路に同一レイアウトでクロックドライン回路を形成し、非使用クロックドライン回路を、入力ノードを固定電位に設定しかつ出力ノードをオープン状態に設定しているため、単に配線接続を切替えるだけで容易に非使用のクロックドライン回路を非使用状態におくことができる。

【0129】請求項10に係る発明に従えば、非使用のクロックドライン回路と使用されるクロックドライン回路は、入力ノードおよび出力ノードに設けられるスルーホールの位置が異なるだけであり、これにより、単にスルーホールの位置を変更のみでクロックドライン回路の駆動能力の調整を容易に実現することができる。

【0130】請求項11に係る発明に従えば、このクロックドライン回路形成領域には、PチャネルMOSトランジスタを形成する領域とNチャネルMOSトランジスタを形成する領域とが存在し、これらの領域の間に、MOSトランジスタで形成されるMOSキャパシタを配置し、このMOSキャパシタを電源線と接地線の間で接続しているため、専用の領域を設けることなくデカップリング容量を配置することができ、クロックドライン回路のノイズを効果的に低減することができる。

【0131】請求項12に係る発明に従えば、クロックドライン回路において、MOSトランジスタのバックゲートを取囲むように、固定電位にバイアスされるガードリングを設けているため、クロックドライン回路の動作による基板ノイズが他回路へ伝達されるのを防止することができる。

【0132】請求項13に係る発明に従えば、サブクロックドライン回路に同一レイアウトのクロックドライン回路を形成し、これらのクロックドライン回路において未使用のサブクロックドライン回路を別の信号に構成しているため、回路利用効率が改善され、また他信号のドライン回路の配置面積を別に設ける必要がなくレイアウト面積が低減され、また容易に他信号のドライン回路のドライン能力を調整することができる。

【図面の簡単な説明】

【図1】この発明の実施の形態1に従うクロックドライバ形成領域を概念的に示す図である。

【図2】この発明の実施の形態1におけるクロックドライバおよび電源の配置関係を概念的に示す図である。

【図3】この発明の実施の形態1におけるクロックドライバの全体の構成を概念的に示す図である。

【図4】この発明の実施の形態2に従う半導体回路装置の全体の構成を概念的に示す図である。

【図5】この発明の実施の形態3に従う半導体回路装置の全体の構成を概念的に示す図である。

【図6】(A)は、この発明の実施の形態4に従うクロックドライバ回路の構成を概念的に示し、(B)は、その電気的等価回路を示す図である。

【図7】(A)は、この発明の実施の形態5に従うクロックドライバ回路の構成を示し、(B)は、この発明の実施の形態5に従うクロックドライバ回路の平面レイアウトを概念的に示し、(C)は、(B)に示す平面レイアウトの電気的等価回路を示す図である。

【図8】(A)は、この発明の実施の形態6に従うクロックドライバ回路の平面レイアウトを概念的に示し、(B)は、(A)に示す平面レイアウトの電気的等価回路を示す図である。

【図9】この発明の実施の形態7に従うクロックドライバ回路の平面レイアウトを概念的に示す図である。

【図10】図9に示すクロックドライバ回路の電気的等価回路を示す図である。

【図11】この発明の実施の形態8に従うクロックドライバ回路の構成を概念的に示す図である。

【図12】この発明の実施の形態8に従うクロックドライバ回路の平面レイアウトを概念的に示す図である。

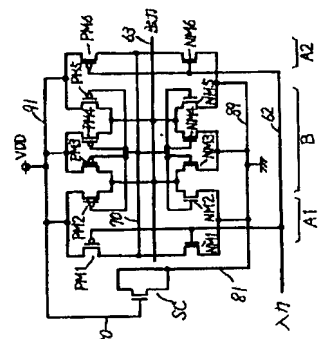
【図13】図12に示す平面レイアウトの電気的等価回路を示す図である。

【図14】(A)から(C)は、この発明の実施の形態8におけるMOSキャパシタの変更例をそれぞれ示す図である。

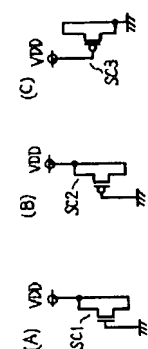
【図15】この発明の実施の形態9に従う半導体回路装置の全体の構成を概念的に示す図である。

【図16】この発明の実施の形態10に従う半導体回路装置の全体の構成を概念的に示す図である。

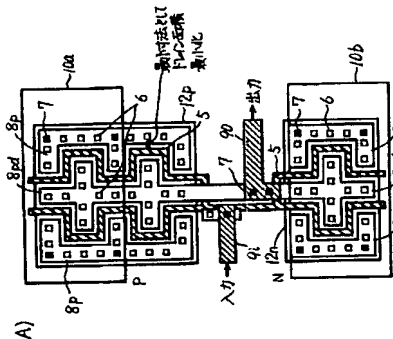
【図13】



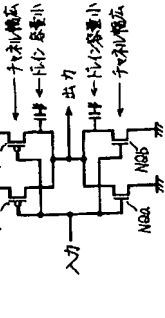
【図14】



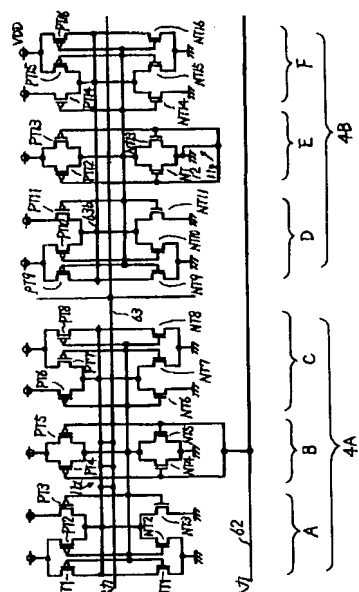
【図8】



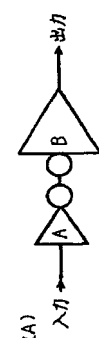
【図9】



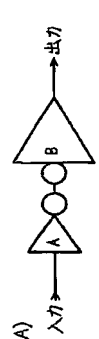
【図10】



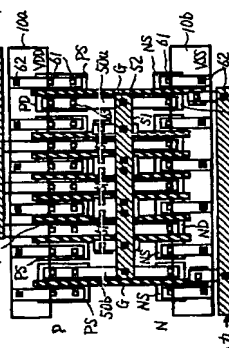
【図6】



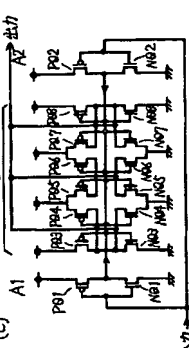
【図7】



【図8】



【図9】



【図10】

